

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月10日
Date of Application:

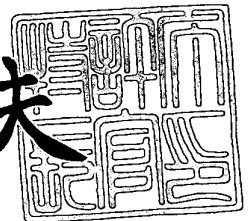
出願番号 特願2003-105987
Application Number:
[ST. 10/C]: [JP2003-105987]

出願人 ローム株式会社
Applicant(s):

2004年 2月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3013055

【書類名】 特許願

【整理番号】 PR200423

【提出日】 平成15年 4月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 画像読み取り装置および制御チップ

【請求項の数】 9

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 澤田 秀喜

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100086380

 【弁理士】

 【氏名又は名称】 吉田 稔

 【連絡先】 0 6 - 6 7 6 4 - 6 6 6 4

【選任した代理人】

 【識別番号】 100103078

 【弁理士】

 【氏名又は名称】 田中 達也

【選任した代理人】

 【識別番号】 100105832

 【弁理士】

 【氏名又は名称】 福元 義和

【選任した代理人】

【識別番号】 100117167

【弁理士】

【氏名又は名称】 塩谷 隆嗣

【選任した代理人】

【識別番号】 100117178

【弁理士】

【氏名又は名称】 古澤 寛

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109316

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読み取り装置および制御チップ

【特許請求の範囲】

【請求項 1】 複数の光電変換素子を有し、かつこれら複数の光電変換素子が受光することにより蓄積された電荷の出力と電荷蓄積のリセットとを繰り返し実行可能な複数のイメージセンサチップと、

上記複数のイメージセンサチップの駆動制御を行なう複数の制御チップと、
を具備している、画像読み取り装置であって、

上記各制御チップは、解像度データ入力端子と、この解像度データ入力端子に入力した解像度データに対応した周期で上記リセットを行なわせるためのリセット信号を作成可能なリセット信号作成手段と、を有していることを特徴とする、画像読み取り装置。

【請求項 2】 上記各制御チップの所定の端子が、予め定められた配線状態に設定されているときには、所定の解像度の画像読み取り処理が禁止されるように構成されている、請求項 1 に記載の画像読み取り装置。

【請求項 3】 上記解像度データ入力端子としては、第 1 および第 2 の端子があり、

上記各制御チップは、上記第 1 および第 2 の端子に解像度データをパラレル入力可能とする第 1 のモードと、上記第 2 の端子に解像度データをシリアル入力可能とする第 2 のモードとに切り替え設定可能な構成とされている、請求項 1 または 2 に記載の画像読み取り装置。

【請求項 4】 上記各制御チップは、モード設定用端子を有しており、かつこのモード設定用端子に対する配線接続の有無または配線の仕方により、上記第 1 および第 2 のモードのいずれかを選択可能に構成されている、請求項 3 に記載の画像読み取り装置。

【請求項 5】 上記第 2 のモードが設定されているとともに、上記第 1 の端子が予め定められた配線状態に設定されているときには、所定の解像度の画像読み取り処理が禁止されるように構成されている、請求項 3 または 4 に記載の画像読み取り装置。

【請求項 6】 上記各イメージセンサチップは、上記光電変換素子としてフォトダイオードを有し、かつラインメモリおよびアナログシフトレジスタを備えた CCD イメージセンサチップであり、

上記各制御チップは、上記複数の光電変換素子から上記ラインメモリおよび上記アナログシフトレジスタに向けて電荷を順次転送させるとともに、上記アナログシフトレジスタから信号出力を行なわせるための複数の信号を作成可能であり、かつ上記アナログシフトレジスタから出力された信号は、上記各制御チップに入力されるように構成されている、請求項 1 ないし 5 のいずれかに記載の画像読み取り装置。

【請求項 7】 上記各制御チップは、上記各イメージセンサチップから出力される信号を増幅するアンプを備えており、かつこれらのアンプに対する基準電圧の印加は、互いに共通する電力供給手段により並列で行なわれるように構成されている、請求項 1 ないし 6 のいずれかに記載の画像読み取り装置。

【請求項 8】 イメージセンサチップを駆動制御するのに用いられる制御チップであって、

解像度データ入力端子と、この解像度データ入力端子に入力した解像度データに対応した周期で上記イメージセンサチップに電荷蓄積のリセットを実行させるためのリセット信号を作成するリセット信号作成手段と、を備えていることを特徴とする、制御チップ。

【請求項 9】 予め定められた配線状態に設定されたときに、所定の解像度の画像の読み取り処理を禁止可能とする端子を備えている、請求項 8 に記載の制御チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、イメージセンサチップを備えた画像読み取り装置、および画像読み取り装置においてイメージセンサチップを制御するのに用いられる制御チップに関する。

【0002】

【従来の技術】

画像読み取り装置としては、複数のＣＣＤイメージセンサチップを用いたものがある。このような画像読み取り装置においては、複数のＣＣＤイメージセンサチップをこれとは別の複数の制御チップによって駆動制御しているのが通例である。一方、このような画像読み取り装置においては、そのハード構成を大きく変更することなく、読み取り画像の解像度を用途などに応じて変更できれば便利であり、このようなことが要請される場合が多い。

【0003】

そこで、従来の画像読み取り装置としては、上記制御チップとは別のコントローラにより所定の解像度に対応したリセット信号を作成し、このリセット信号を複数のＣＣＤイメージセンサチップに入力させたものがある。より具体的には、ＣＣＤイメージセンサチップは、複数のフォトダイオードが受光することによって蓄積される電荷の出力と電荷蓄積のリセットとを繰り返して実行するようになっている。上記電荷蓄積のリセットは、ＣＣＤイメージセンサチップがリセット信号を受信することにより行なわれるが、従来においては、このリセット信号を制御チップとは別のコントローラにより作成させていたものがある。上記コントローラは、複数種類の解像度に対応した周期のリセット信号を作成可能であり、このリセット信号の周期を変更することにより、解像度の変更がなされる。

【0004】**【発明が解決しようとする課題】**

しかしながら、上記従来技術においては、ＣＣＤイメージセンサチップの駆動制御を制御チップによって行なわせている一方、リセット信号の作成は上記制御チップとは別のコントローラにより行なわせているため、ＣＣＤイメージセンサチップの駆動とリセット信号とのタイミングにずれを生じる場合があった。とくに、このようなタイミングのずれは、画像読み取り処理を高速にするほど生じ易くなっていた。これでは、適正な画像信号が得られなくなり、読み取り画像の質低下を招いてしまう。

【0005】

本願発明は、このような事情のもとで考え出されたものであって、イメージセ

ンサチップに入力されるリセット信号のタイミングにずれが発生する虞れを少なくしつつ、解像度の変更を適切に行なうことが可能な画像読み取り装置および制御チップを提供することをその課題としている。

【0006】

【発明の開示】

上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0007】

本願発明の第1の側面によって提供される画像読み取り装置は、複数の光電変換素子を有し、かつこれら複数の光電変換素子が受光することにより蓄積された電荷の出力と電荷蓄積のリセットとを繰り返し実行可能な複数のイメージセンサチップと、上記複数のイメージセンサチップの駆動制御を行なう複数の制御チップと、を具備している画像読み取り装置であって、上記各制御チップは、解像度データ入力端子と、この解像度データ入力端子に入力した解像度データに対応した周期で上記リセットを行なわせるためのリセット信号を作成可能なリセット信号作成手段と、を有していることを特徴としている。

【0008】

このような構成によれば、制御チップの解像度データ入力端子に解像度データを入力させると、そのデータに対応した周期をもつリセット信号が制御チップのリセット信号作成手段によって作成される。このリセット信号をイメージセンサチップに入力させると、上記解像度データに対応した解像度の画像信号が得られることとなる。したがって、制御チップに入力される解像度データの内容を変更することにより、読み取り画像の解像度を簡単かつ適切に変更することができる。一方、上記リセット信号の作成処理は、制御チップがイメージセンサチップの駆動制御用の他の信号を作成するのに並行して行なわせることができる。また、上記リセット信号は、たとえばイメージセンサチップの駆動制御用の他の信号を利用したり、あるいは上記他の信号の作成基準となるクロック信号を利用するなどして作成することもできる。したがって、上記リセット信号をイメージセンサチップの駆動制御用の他の信号と正確に同期させるといったことが簡単に行なえることとなる。その結果、画像読み取り処理を高速で行なう場合であっても、リ

セット信号の発生タイミングにずれが生じないようにし、読み取り画像の質を高めることができる。

【0009】

本願発明の好ましい実施の形態においては、上記各制御チップの所定の端子が、予め定められた配線状態に設定されているときには、所定の解像度の画像読み取り処理が禁止されるように構成されている。画像読み取り処理が禁止される解像度としては、複数種類の解像度のうちの最も高い解像度、最も低い解像度、およびそれらの中間レベルの範囲の解像度のうちのいずれをも選択することが可能である。上記構成によれば、各制御チップ自体のハード構成には手を加えることなく、所定の解像度の画像読み取り処理を禁止することができるために、解像度が相違する複数種類の画像読み取り装置を製作する場合であっても、制御チップとしては、構成が同一のものをを用いればよいこととなる。

【0010】

本願発明の好ましい実施の形態においては、上記解像度データ入力端子としては、第1および第2の端子があり、上記各制御チップは、上記第1および第2の端子に解像度データをパラレル入力可能とする第1のモードと、上記第2の端子に解像度データをシリアル入力可能とする第2のモードとに切り替え設定可能な構成とされている。このような構成によれば、制御チップに対する解像度データの入力が、パラレル入力とシリアル入力とのいずれであっても、好適に対処できることとなり、便利である。

【0011】

本願発明の好ましい実施の形態においては、上記各制御チップは、モード設定用端子を有し、かつこのモード設定用端子に対する配線接続の有無または仕方によって、上記第1および第2のモードのいずれかを選択可能に構成されている。このような構成によれば、上記第1のモードと第2のモードとのいずれに設定する場合であっても、その設定を容易に行なうことができる。

【0012】

本願発明の好ましい実施の形態においては、上記第2のモードが設定されるとともに、上記第1の端子が予め定められた配線状態に設定されているときに

は、所定の解像度の画像読み取り処理が禁止されるように構成されている。このような構成によれば、上記第 1 の端子を有効に利用することによって、所定の解像度の画像読み取り処理を禁止することができる。したがって、所定の解像度の画像読み取り処理を禁止するための専用の端子を制御チップに設ける必要がなくなる。

【 0 0 1 3 】

本願発明の好ましい実施の形態においては、上記各イメージセンサチップは、上記光電変換素子としてフォトダイオードを有し、かつラインメモリおよびアナログシフトレジスタを備えた C C D イメージセンサチップであり、上記各制御チップは、上記複数の光電変換素子から上記ラインメモリおよび上記アナログシフトレジスタに向けて電荷を順次転送させるとともに、上記アナログシフトレジスタから信号出力を行なわせるための複数の信号を作成可能であり、かつ上記アナログシフトレジスタから出力された信号は、上記各制御チップに入力されるように構成されている。

【 0 0 1 4 】

本願発明の好ましい実施の形態においては、上記各制御チップは、上記各イメージセンサチップから出力される信号を増幅するアンプを備えており、かつこれらのアンプに対する基準電圧の印加は、互いに共通する電力供給手段により並列で行なわれるように構成されている。このような構成によれば、各アンプに対して電圧値が同一または略同一とされた基準電圧を印加することが可能となり、各アンプのオフセット電圧を少なくするのに有利となる。

【 0 0 1 5 】

本願発明の第 2 の側面によって提供される制御チップは、イメージセンサチップを駆動制御するのに用いられる制御チップであって、解像度データ入力端子と、この解像度データ入力端子に入力した解像度データに対応した周期で上記イメージセンサチップに電荷蓄積のリセットを実行させるためのリセット信号を作成するリセット信号作成手段と、を備えていることを特徴としている。

【 0 0 1 6 】

本願発明に係る制御チップは、予め定められた配線状態に設定されたときに、

所定の解像度の画像の読み取り処理を禁止可能とする端子を備えている構成とすることができる。

【0017】

本願発明に係る制御チップによれば、本願発明に係る画像読み取り装置について述べたのと同様な効果が期待できる。

【0018】

本願発明のその他の特徴および利点については、以下に行う発明の実施の形態の説明から、より明らかになるであろう。

【0019】

【発明の実施の形態】

以下、本願発明の好ましい実施の形態について、図面を参照しつつ具体的に説明する。

【0020】

図1は、本願発明に係る画像読み取り装置の要部の一例を示している。本実施形態の画像読み取り装置A1は、基板1と、この基板1上に搭載された複数のCCDイメージセンサチップ2（以下、「CCDチップ2」と略称する）および複数の制御チップ3とを備えて構成されている。CCDチップ2と制御チップ3とは同一個数（たとえば6個ずつ）であり、1つの制御チップ3が1つのCCDチップ2の駆動制御を行なうようになっている。後述するように、この画像読み取り装置A1は、解像度として、1200 [dpi]（47.244ドット/mm）、600 [dpi]（23.622ドット/mm）、300 [dpi]（11.811ドット/mm）、および200 [dpi]（7.874ドット/mm）の計4種類の解像度に切り替え可能である。

【0021】

複数のCCDチップ2は、基板1の長手方向に列状に並んでおり、その配列方向において複数のCCDチップ2および制御チップ3は、2つずつが1組をなしており、第1ないし第3のブロックB1～B3に区分されている。このように、複数のCCDチップ2を複数のブロックに区分すれば、それら複数のブロックにおける画像読み取り処理を同時に行なわせることによって、1ラインの画像読み

取り処理に要する時間を短縮することができる。

【0022】

基板1には、複数の端子T1～T7が設けられている。具体的には、端子T1は、制御チップ3の駆動用電源を接続するためのものであり、この端子T1にはたとえば5Vの電圧VDD1が印加される。この端子T1に供給された電力は、複数の制御チップ3のそれぞれに供給され、各制御チップ3には電圧VDD1が印加される構成となっている。端子T2は、CCDチップ2の駆動用電源を接続するためのものであり、この端子T2にはたとえば12Vの電圧VDD2が印加される。端子T3（T3a～T3c）は、画像信号Vout1～Vout3を出力するためのものであり、第1ないし第3のブロックB1～B3のそれぞれの2番目の制御チップ3b, 3d, 3fに対してエミッタフォロア50を介して接続されている。端子T3から出力された画像信号Vout1～Vout3は、基板1の外部に設けられたコントローラ（図示略）に入力されるように構成されている。このコントローラは、たとえば画像信号の処理機能、各種の信号の生成機能、および演算処理機能などを備えたものであり、画像読み取り装置A1全体の動作制御を行なうものである。

【0023】

端子T4は、クロック入力用のものであり、この端子T4に入力したクロック信号は、各制御チップ3に入力される。端子T5は、波形スタート成形トリガとなるスタートパルスSTを上記コントローラから受信するためのものであり、この端子T5によって受信したスタートパルスSTは制御チップ3a, 3c, 3eに入力されるようになっている。端子T6は、解像度データCSを上記コントローラから受信するためのものであり、この端子T6によって受信した解像度データCSは制御チップ3a, 3c, 3eに入力されるようになっている。端子T7は、グランド接続用の端子である。

【0024】

CCDチップ2としては、従来より既知のCCDイメージセンサチップを用いることができる。図3に示すように、CCDチップ2は、列状に並んだ1728個のフォトダイオード20、アナログシフトレジスタ21、第1の移送ゲート2

2、ラインメモリ 23、第2の移送ゲート 24、およびアンプ 25を有している。

【0025】

複数の制御チップ3は、第1ないし第3のブロックB1～B3の先頭と2番目とのいずれの制御チップであるかによって端子の配線接続の仕方が一部相違している。ただし、制御チップ自体のハード構成は同一である。制御チップ3は、後述する各種の回路を内部に造り込んだICチップであり、電源端子T11、グラウンド接続端子T12、クロック入力端子T13、テスト用端子T14、スタートパルス入力端子T15、スタートパルス出力端子T16、モード設定用端子T17、第1および第2の解像度データ入力端子T18a, T18b、解像度データ出力端子T19、CCD入力端子T20、画像信号出力端子T21、第1および第2のシフトレジスタ・クロック出力端子T22a, T22b、第1および第2の移送ゲートパルス出力端子T23a, T23b、リセットパルス出力端子T24、ならびにクランプパルス出力端子T25を備えている。

【0026】

電源端子T11は、制御チップ3の駆動に必要な電力を入力するためのものであり、この電源端子T11には既述した基板1上の端子T1を経由して電源電圧VDD1が印加されている。グラウンド接続端子T12は、基板1上のグラウンド端子T7と接続されている。クロック入力端子T13は、たとえば1MHz～10MHzのクロック信号CLKを入力させるためのものであり、基板1上の端子T4と接続されている。このクロック信号CLKを基準として、後述するシフトレジスタ・クロック信号などの各種のタイミングパルス信号が生成される。テスト用端子T14は、制御チップ3のテストに用いるためのものであり、テスト終了後の通常使用時にはオープン状態である。

【0027】

スタートパルス入力端子T15は、基板1上の端子T5からスタートパルスSTを入力させるためのものである。スタートパルスSTは、既述したとおり、波形発生タイミングの基準となるパルスであり、リセット回路30に入力するようになっている。このリセット回路30に加え、ロジック回路31や信号生成回路

32が組み合わされた部分は、スタートパルスSTを基準として後述する各種の信号を生成するようになっている。スタートパルス出力端子T16は、次段の制御チップに向けてスタートパルスSTを出力するためのものである。

【0028】

第1および第2の解像度データ入力端子T18a, T18bは、解像度を指定する解像度データCSを入力させるためのものである。モード設定用端子T17は、第1および第2の解像度データ入力端子T18a, T18bに対するデータ入力モードの選択設定を行なうためのものである。より具体的には、上記データ入力モードとしては、第1および第2の解像度データ入力端子T18a, T18bに解像度データCSを平行入力可能とする第1のモードと、第2の解像度データ入力端子T18bに解像度データをシリアル入力可能とする第2のモードとがある。そして、モード設定用端子T17が、グランド接続された場合には上記第1のモードが設定される一方、オープン状態に設定された場合には上記第2のモードが設定されるようになっている。

【0029】

上記第1のモードにおいては、第1および第2の解像度データ入力端子T18a, T18bには、計2ビットの解像度データが1ビットずつ平行入力される。2ビットの信号によれば、4通りの解像度を区別することが可能であり、たとえば「H」「H」は1200 [dpi]、「H」「L」は600 [dpi]、「L」「H」は300 [dpi]、「L」「L」は200 [dpi]を指示するようになっている。これを表1として示す。

【0030】

【表1】

モード設定用端子:グランド接続(平行入力)		
端子T18a	端子T18b	解像度 [dpi]
H	H	1200
H	L	600
L	H	300
L	L	200

【0031】

上記第2のモードにおいては、第2の解像度データ入力端子T18bは、解像度を指定する2ビットのシリアルデータを入力させるための端子として機能するようになっている。第1の解像度データ入力端子T18aは、上記第2のモード時においては、4種類の解像度のうちの最高の解像度である1200 [dpi]での画像読み出しを許容するか否かを決定するための端子として機能するようになっている。この点をより詳細に説明すると、まず、表2に示すように、第2の解像度データ入力端子T18bにシリアル入力する解像度データは、たとえば「H」「H」が1200 [dpi]、「H」「L」が600 [dpi]、「L」「H」が300 [dpi]、「L」「L」が200 [dpi]を指示する内容となっている。

【0032】

【表2】

モード設定用端子:オープン(端子T18aにシリアル入力)		
端子T18a	端子T18b	解像度 [dpi]
L	H,H	1200
L	H,L	600
L	L,H	300
L	L,L	200
OPEN	H,H	出力禁止
OPEN	H,L	600
OPEN	L,H	300
OPEN	L,L	200

【0033】

ただし、1200 [dpi]の解像度での画像読み出しが許容されるのは、第1の解像度データ入力端子T18aがグランド接続されることによって「L」とされた場合に限られ、オープンに設定されている場合には、上記解像度での画像読み出しが禁止されるようになっている。本実施形態においては、第1の解像度データ入力端子T18aがグランド接続されており、上記解像度での画像読み出

しが許容されている。

【0034】

また、本実施形態においては、制御チップ3 a～3 fのいずれについてもこのモード設定用端子T 1 7がオープン状態に設定されており、上記第2のモードが設定されている。なお、モード設定用端子T 1 7は、制御チップ3の内部においてプルアップしており、この端子T 1 7をグランド接続したときには、制御チップ3の内部において定常的に一定の電流がグランド接続端子T 1 2に向けて流れるようになっている。

【0035】

第1および第2の解像度データ入力端子T 1 8 a, T 1 8 bには、デコーダ3 4が接続されており、上記した解像度データCSはこのデコーダ3 4によりデコードされ、かつこのデコードされたデータが信号生成回路3 2に入力されるようになっている。また、上記デコードされたデータは、パラレル／シリアルコンバータ3 5にも入力され、解像度データ出力端子T 1 9からはシリアルの解像度データCSとして次段の制御チップ3に出力されるように構成されている。

【0036】

第1および第2のシフトレジスタ・クロック出力端子T 2 2 a, T 2 2 bは、CCDチップ2に対してCCDレジスタ転送用パルス信号Φ 1, Φ 2をそれぞれ出力するものである。第1の移送ゲートパルス出力端子T 2 3 aは、CCDチップ2内のラインメモリ2 3内の電荷をCCDアナログシフトレジスタ2 1に転送するためのタイミングパルス信号Φ TG 1を出力するものである。第2の移送ゲートパルス出力端子T 2 3 bは、CCDチップ2のフォトダイオード2 0に蓄積した電荷をラインメモリ2 3に転送するタイミングパルス信号Φ TG 2を出力するものである。クランプパルス出力端子T 2 5は、CCDチップ2のCCDアナログシフトレジスタ2 1から出力される信号をクランプするためのタイミングパルス信号Φ CLBを出力するものであり、クランプ期間中、このパルス信号Φ CLBはロー・レベルである。リセットパルス出力端子T 2 4は、CCDチップ2の各画素の信号をリセットするためのリセット信号Φ Rを出力するものであり、リセット期間中、このリセット信号Φ Rはハイ・レベルである。リセット信号Φ

Rは、たとえば信号生成回路32により生成され、ドライバ回路33から出力される。したがって、これらの回路が、本願発明でいうリセット信号作成手段の一例に相当する。

【0037】

信号生成回路32は、特定周期の信号を分周することによって周期が相違する複数種類のリセット信号 ΦR を作成する機能を有している。より具体的には、信号生成回路32は、第1および第2の解像度データ入力端子T18a、T18bのそれぞれまたは一方に入力される2ビットの解像度データCSの内容に応じ、1200、600、300、200 [dpi]のうちのいずれかの解像度の画像信号を出力可能な周期をもつリセット信号 ΦR を作成可能である。

【0038】

CCD入力端子T20は、CCDチップ2からの出力信号（画像信号） S_{CCD} を入力させるためのものであり、カップリングコンデンサ40を介してCCDチップ2と接続されている。このCCD入力端子T20に入力した信号 S_{CCD} は、クランプ回路36によりクランプされ、バッファ機能を備えたアンプ37によって増幅されるようになっている。このアンプ37には、所定の基準電圧が印加されるが、制御チップ3a～3fのそれぞれのアンプ37に対しては同一または略同一の電圧が印加されるように構成されている。これは、基板1上の端子T1に印加された電圧VDD1が制御チップ3a～3fのそれぞれに対して並列で印加されることにより達成されている。このような構成によれば、制御チップ3a～3fのそれぞれのアンプ37のオフセット電圧を少なくすることが可能である。アンプ37によって増幅された信号は、その後スイッチ回路38に入力し、かつこのスイッチ回路38によって有効とされた所定の期間の画像信号のみが画像信号Voutとして、画像信号出力端子T21から基板1上の端子T3に向けて出力されるようになっている。

【0039】

図2に示すように、制御チップ3bにおいては、スタートパルス入力端子T15および第2の解像度データ入力端子T18bに対するスタートパルスSTおよび解像度データCSの入力が制御チップ3aから行なわれるようになっている。

また、CCDチップ2 bに対するタイミングパルス信号 $\Phi TG 2$ の出力は制御チップ3 aから行なわれるようになっている。このため、制御チップ3 bの第2の移送ゲートパルス出力端子T 2 3 bはオープンに設定されている。制御チップ3 bは、上記した点において制御チップ3 aとは相違するが、それ以外の構成は制御チップ3 aと同様である。図1に示した第2および第3のブロックB 2, B 3の先頭の制御チップ3 c, 3 eは制御チップ3 aと同様な設定であり、また2番目の制御チップ3 d, 3 fは制御チップ3 bと同様な設定である。

【0040】

次に、上記構成の画像読み取り装置A 1の作用について説明する。

【0041】

まず、理解の容易のために第1のブロックB 1の動作のみについて説明する。制御チップ3 aのスタートパルス入力端子T 1 5にスタートパルスSTが入力すると、リセット回路3 0、ロジック回路3 1および信号生成回路3 2などが作動し、このスタートパルスSTの受信時を波形発生タイミングの基準とする各種のパルス信号 $\Phi 1$, $\Phi 2$, $\Phi TG 1$, $\Phi TG 2$, ΦCLB が作成される。一方、第2の解像度データ入力端子T 1 8 bには、解像度を指定する解像度データCSが2ビットのシリアルデータとして入力され、これに応じて信号生成回路3 2は、その解像度に対応した周期のリセット信号 ΦR を生成する。このリセット信号 ΦR は、上記した各種のパルス信号と同様に、CCDチップ2に入力される。

【0042】

図4～図7は、クロック信号CLK、CCDレジスタ転送用パルス信号 $\Phi 1$, $\Phi 2$ 、リセット信号 ΦR 、およびCCDチップ2から出力される信号S_{CCD}の具体例を示している。図4は、解像度データCSの内容が1200 [dpi]の場合であり、CCDチップ2においては、フォトダイオード2 0が受光することによって蓄積される電荷がリセット信号 ΦR がオンになる都度リセットされ、かつこのリセット信号 ΦR がオフになると電荷の蓄積が再開される。CCDチップ2においてはこのような動作が繰り返され、リセットされるまでに蓄積された電荷が、アンプ2 5によって増幅されてから信号S_{CCD}として出力される。

【0043】

図4においては、リセット信号 ΦR が、信号CLK、 $\Phi 1$ 、 $\Phi 2$ と同一の周期でオン（ハイレベル）となっている。したがって、この場合には、CCDチップ2の全てのフォトダイオード20のそれぞれに蓄積された電荷を個々に出力可能である。すなわち、1728画素分の画像信号を個々に出力可能であり、このことにより1200 [dpi] の読み取り画像が得られることとなる。なお、制御チップ3においては、クランプ回路36によってクランプされてからアンプ37により増幅された後に、スイッチ回路38によって有効な信号の取り出しがなされる。図4に示す信号 S_{CCD} のうち、リセット前の一定の期間 $T1$ に蓄積された電荷が、制御チップ3から出力される読み取り画像の信号に対応したものである（仮想線によってハッチングが入れられた部分に相当する電荷であり、図5～図7においても同様である）。

【0044】

図5は、解像度データCSの内容が600 [dpi] の場合である。この場合、リセット信号 ΦR の周期は、図4に示した1200 [dpi] の場合の2倍である。このことにより、リセット前の一定の期間 $T2$ に蓄積された電荷は、2画素分に相当するものとなり、これが1纏めにして出力されることにより600 [dpi] の画像信号となる。図6および図7は、解像度データCSの内容が、300 [dpi] および200 [dpi] の場合である。これらの場合には、リセット信号 ΦR の周期が1200 [dpi] の場合の4倍または6倍である。このことにより、リセット前の一定の期間 $T3$ 、 $T4$ に蓄積された電荷は、4画素分または6画素分に相当するものとなり、これらが1纏めにして出力される。

【0045】

CCDチップ2aから信号 S_{CCD} が出力された後には、スタートパルス出力端子T16から制御チップ3bに向けてスタートパルスSTが出力する。また、制御チップ3aの解像度データ出力端子T19からは、制御チップ3bの第2の解像度データ入力端子T18bに対して解像度データCSがシリアル出力される。したがって、制御チップ3aに引き続いて制御チップ3bも上記したのと同様な処理を実行することとなり、CCDチップ2aに引き続いてCCDチップ2bからも所定の解像度の信号 S_{CCD} が制御チップ3bに向けて適切に出力する。第2

のブロック B 2, B 3においても、第 1 のブロック B 1 の処理に並行して上記と同様な処理が行なわれ、その結果 1 ライン分の画像読み取り処理が適切に行なわれることとなる。

【0046】

上記したように、この画像読み取り装置 A 1 においては、制御チップ 3 に解像度データを入力することにより、この制御チップ 3 の内部においてその解像度データに対応した周期のリセット信号 ΦR が生成される。一方、各制御チップ 3 は、リセット信号 ΦR のみならず、クロック信号 CLK に基づいて CCD チップ 2 を駆動するための各種のパルス信号を生成している。したがって、それら各種のパルス信号に対するリセット信号 ΦR の同期合わせを高精度に、かつ容易に行なうことが可能となり、高速読み取り時においてリセット信号 ΦR の発生タイミングに狂いを生じることが適切に回避される。その結果、高速読み取り時の画質劣化を防止することができる。また、CCD チップ 2 の駆動に必要な各種の信号の生成を、制御チップ 3 に集約させているために、その分だけ画像読み取り装置 A 1 の全体の構成も合理的となり、画像読み取り装置 A 1 の製造コストの低減を図るのにも有効である。

【0047】

本実施形態においては、制御チップ 3 の第 1 の解像度データ入力端子 T 18 a がグランド接続されているために、1200 [dpi] の解像度での画像読み取り処理が許容されている。これに対し、本実施形態とは異なり、第 1 の解像度データ入力端子 T 18 a をオープンに設定すると、制御チップ 3 は 1200 [dpi] の解像度での画像読み取りに必要な処理を実行しないこととなる。したがって、画像読み取り装置 A 1 を 600, 300, 200 [dpi] の 3 種類の解像度に調整可能なものとする変更が簡易に行なえることとなる。読み取り画像の解像度を、1200 [dpi] に設定した場合には、たとえば 600 [dpi] の場合と比較して、1 画素分の信号レベルが低くなり、読み取り画像が暗くなり易いが、上記したように 1200 [dpi] での画像読み取り処理を禁止すれば、そのような暗い読み取り画像が得られないようにすることが可能である。もちろん、本願発明においては、複数種類の解像度のいずれかの解像度での画像処理を

禁止する場合、上記とは反対に、最も低い解像度の画像処理を不可能にすることによって、画像の鮮明度が余り低下しないようにすることもできる。

【0048】

図8および図9は、本願発明に係る画像読み取り装置の他の例を示している。これらの図において、上記実施形態と同一または類似の要素には、同一符号を付している。

【0049】

本実施形態の画像読み取り装置A2は、上記実施形態の場合と同一構成のCCDチップ2および制御チップ3を備えて構成されている。ただし、この画像読み取り装置A2においては、図8に表われているように、複数のCCDチップ2や制御チップ3が複数のブロックには区分されておらず、複数のCCDチップ2（2a～2f）が1つずつ順番に駆動されるように構成されている。

【0050】

より具体的には、この画像読み取り装置A2においては、最後段の制御チップ3fを除き、複数の制御チップ3a～3eのそれぞれが、対応するCCDチップ2の制御を終えた段階で次段の制御チップに対してスタートパルスSTを出力するようになっている。このことにより、制御チップ3a～3fは、CCDチップ2a～2fを一つずつ順番に駆動させていき、1ラインの連続した画像データが基板1上の端子T3に得られるようになっている。制御チップ3a～3eは、解像度データCSについても次段の制御チップに出力するようになっており、各制御チップ3は指定された解像度に対応する周期のリセット信号ΦRを作成し、CCDチップ2に出力するようになっている。

【0051】

基板1上には、解像度データ入力用の端子として、2つの端子T6a、T6bが設けられており、これらにはコントローラ（図示略）から1ビットずつの解像度データCS1、CS2が平行入力されるようになっている。図9に表われているように、端子T6a、T6bに入力した解像度データCS1、CS2は、制御チップ3aの第1および第2の解像度データ入力端子T18a、T18bに平行入力可能となっている。制御チップ3aのモード設定用端子T17は、

上記実施形態の場合とは異なり、グランド接続されている。このことによって、制御チップ 3 a は前述した第 1 のモードに設定され、第 1 および第 2 の解像度データ入力端子 T 18 a, 18 b が平行の解像度データ CS 1, CS 2 の入力端子として適切に機能するようになっている。

【0052】

制御チップ 3 b ~ 3 f については、モード設定用端子 T 17 がオープンに設定されている。したがって、これらの制御チップ 3 b ~ 3 f は、前述した第 2 のモードに設定されており、第 2 の解像度データ入力端子 T 18 b が前段の制御チップからシリアル解像度データ CS を受信するようになっている。制御チップ 3 b ~ 3 f の第 1 の解像度データ入力端子 T 18 a は、グランド接続されており、1200 [dpi] の解像度の画像読み取り処理を許容する状態になっている。ただし、これに代えて、第 1 の解像度データ入力端子 T 18 a をオープンに設定することによって 1200 [dpi] の解像度の画像読み取り処理を禁止した状態に設定してもよいことは勿論である。

【0053】

本実施形態の画像読み取り装置 A 2 においては、先頭の制御チップ 3 a が平行の解像度データ CS 1, CS 2 を受信する点が上記実施形態の画像読み取り装置 A 1 とは相違するものの、各制御チップ 3 におけるリセット信号 ΦR の作成処理については上記実施形態と同様になされる。したがって、この画像読み取り装置 A 2 についても、4 種類の解像度のうち、指定された解像度での画像の読み取り処理を適切に行なうことが可能であり、上記実施形態と同様な効果が得られる。

【0054】

本願発明は、上述した実施形態の内容に限定されない。本願発明に係る画像読み取り装置および制御チップの具体的な構成は、種々に設計変更自在である。

【0055】

本願発明においては、変更可能な解像度の数やその具体的な値は限定されない。2 ビットのデータでは 4 種類の解像度を表わすのが限度であるために、解像度をそれ以上の多段階に変更可能とする場合には、それに対応させて解像度データ

を多ビットにすればよいこととなる。複数のイメージセンサチップの駆動方式としては、図1～図3に示した実施形態のように複数のブロックに分割して駆動する方式と、図8および図9に示した実施形態のように非分割で駆動する方式とのいずれであってもよいことは勿論のこと、複数のブロックに分割する場合には、そのブロック数も限定されるものではない。

【0056】

本願発明に係る画像読み取り装置においては、イメージセンサチップとして、上述した実施形態のCCDチップ2（CCDイメージセンサチップ）とは異なる構成のイメージセンサチップを用いることもできる。

【図面の簡単な説明】

【図1】

本願発明に係る画像読み取り装置の一例を示す平面図である。

【図2】

図1に示す画像読み取り装置の要部平面説明図である。

【図3】

CCDイメージセンサチップおよび制御チップの一例を示す説明図である。

【図4】

解像度が1200dpiの場合の所定の信号波形の一例を示すタイムチャートである。

【図5】

解像度が600dpiの場合の所定の信号波形の一例を示すタイムチャートである。

【図6】

解像度が300dpiの場合の所定の信号波形の一例を示すタイムチャートである。

【図7】

解像度が200dpiの場合の所定の信号波形の一例を示すタイムチャートである。

【図8】

本願発明に係る画像読み取り装置の他の例を示す平面図である。

【図 9】

図 8 に示す画像読み取り装置の要部平面説明図である。

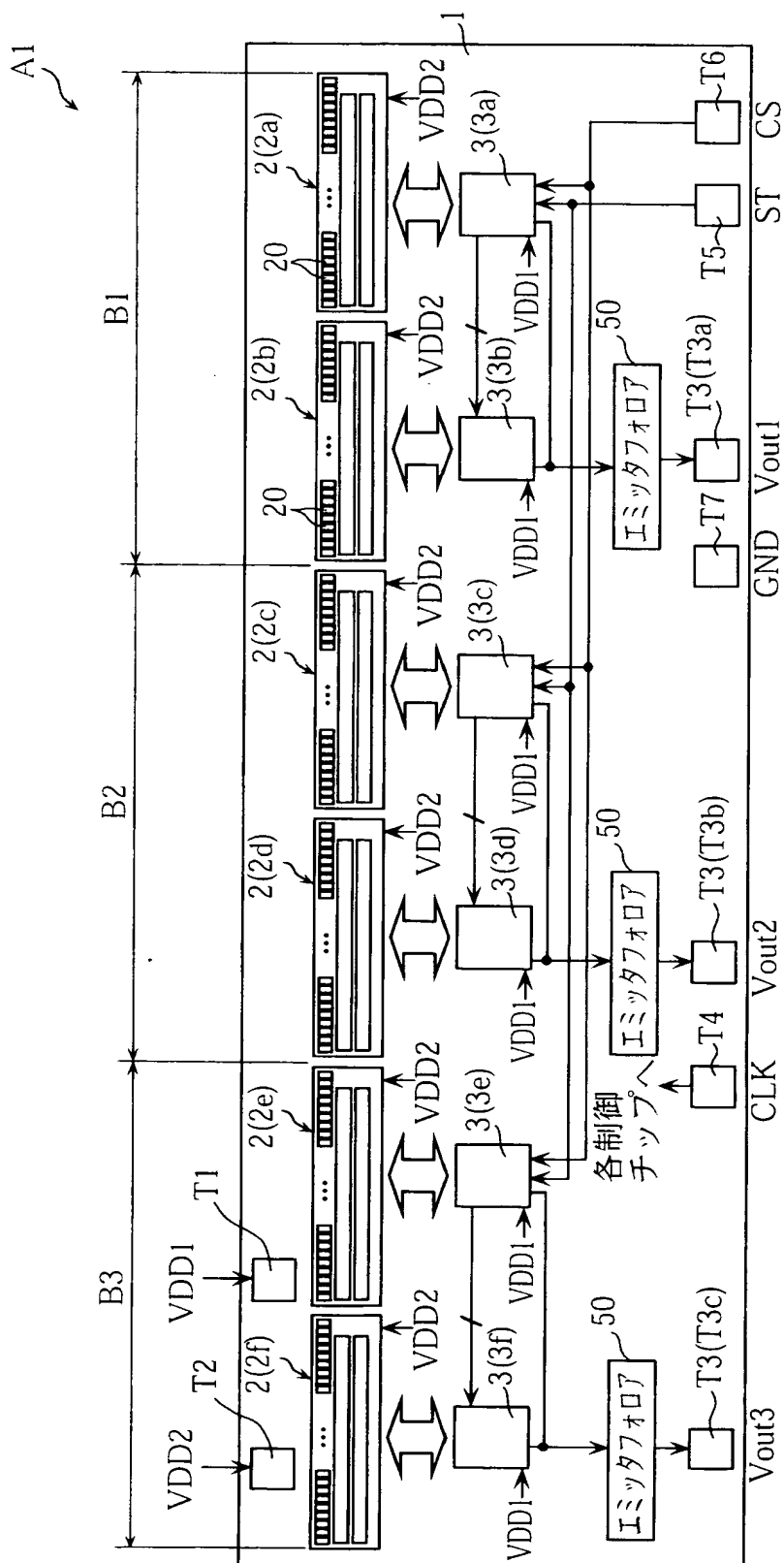
【符号の説明】

- A 1, A 2 画像読み取り装置
- T 1 7 モード設定用端子
- T 1 8 a 第 1 の解像度データ入力端子
- T 1 8 b 第 2 の解像度データ入力端子
- 2 C C D チップ (イメージセンサチップ)
- 3 制御チップ
- 2 0 フォトダイオード (光電変換素子)
- 3 2 信号生成回路 (リセット信号作成手段)
- 3 7 アンプ

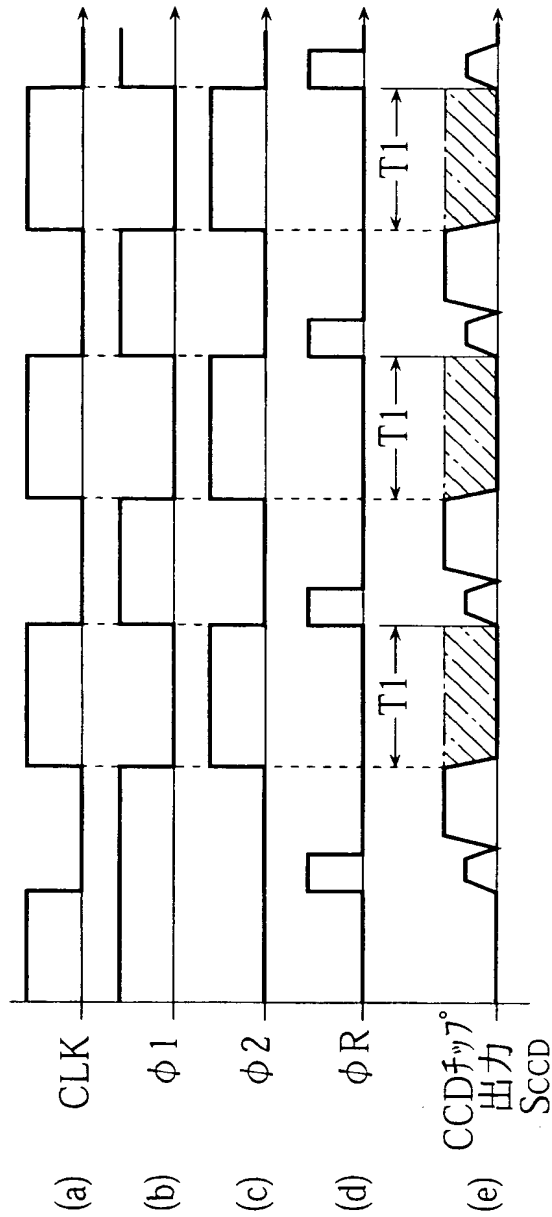
【書類名】

図面

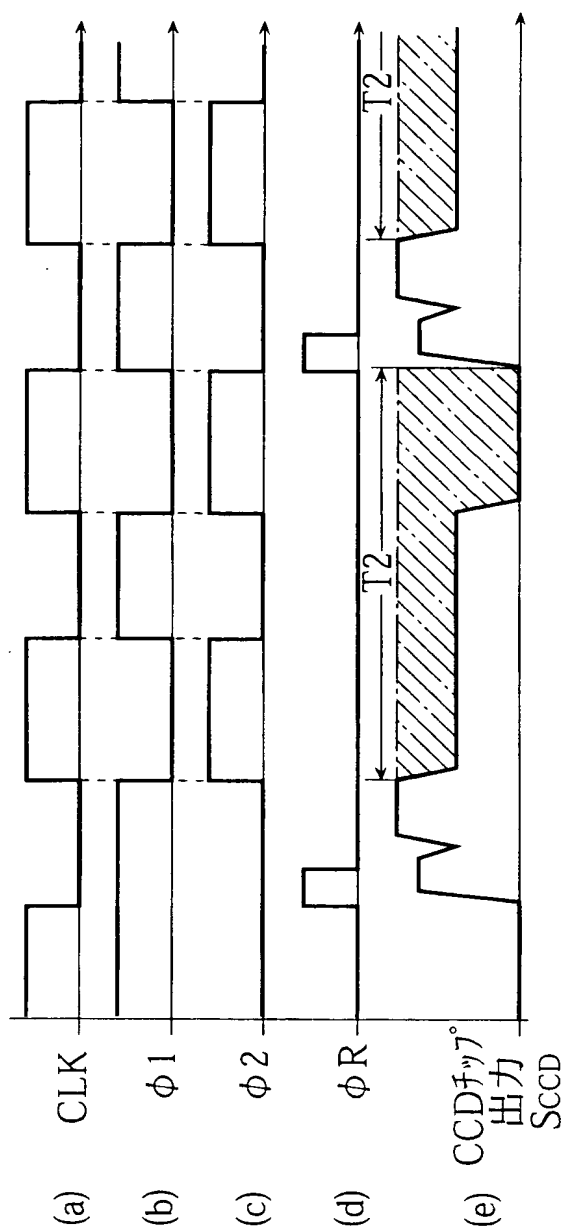
【図 1】



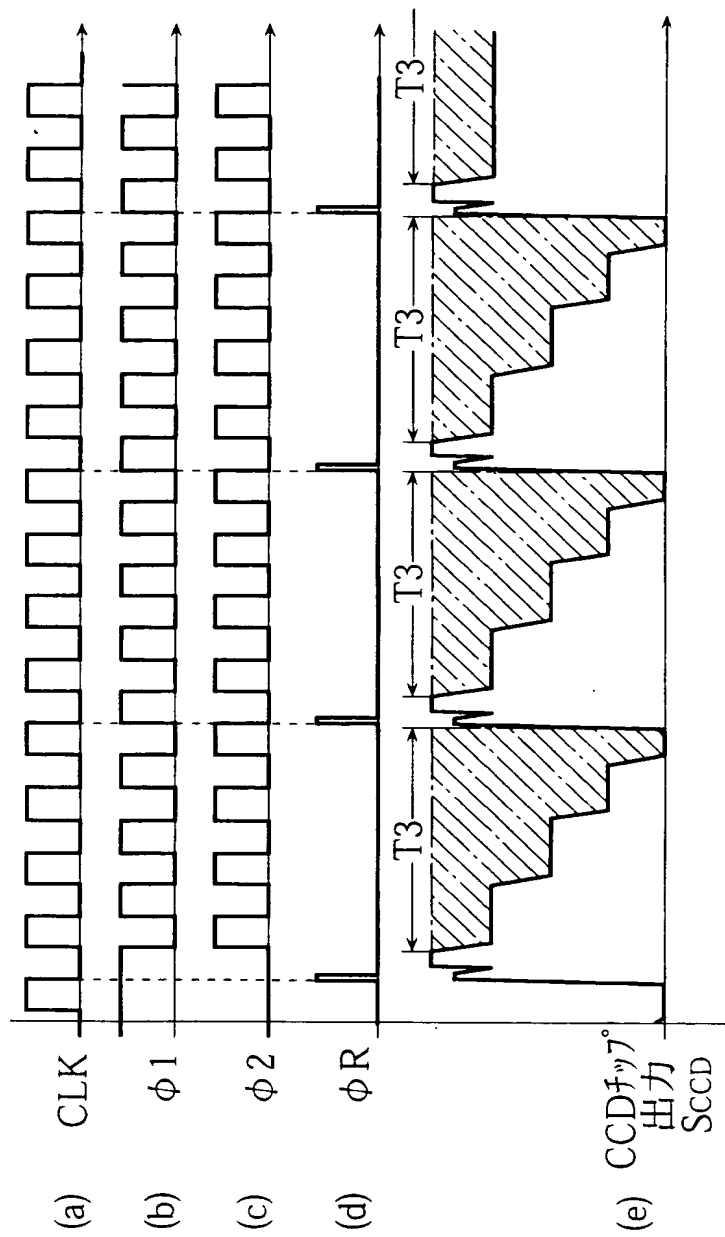
【図 4】



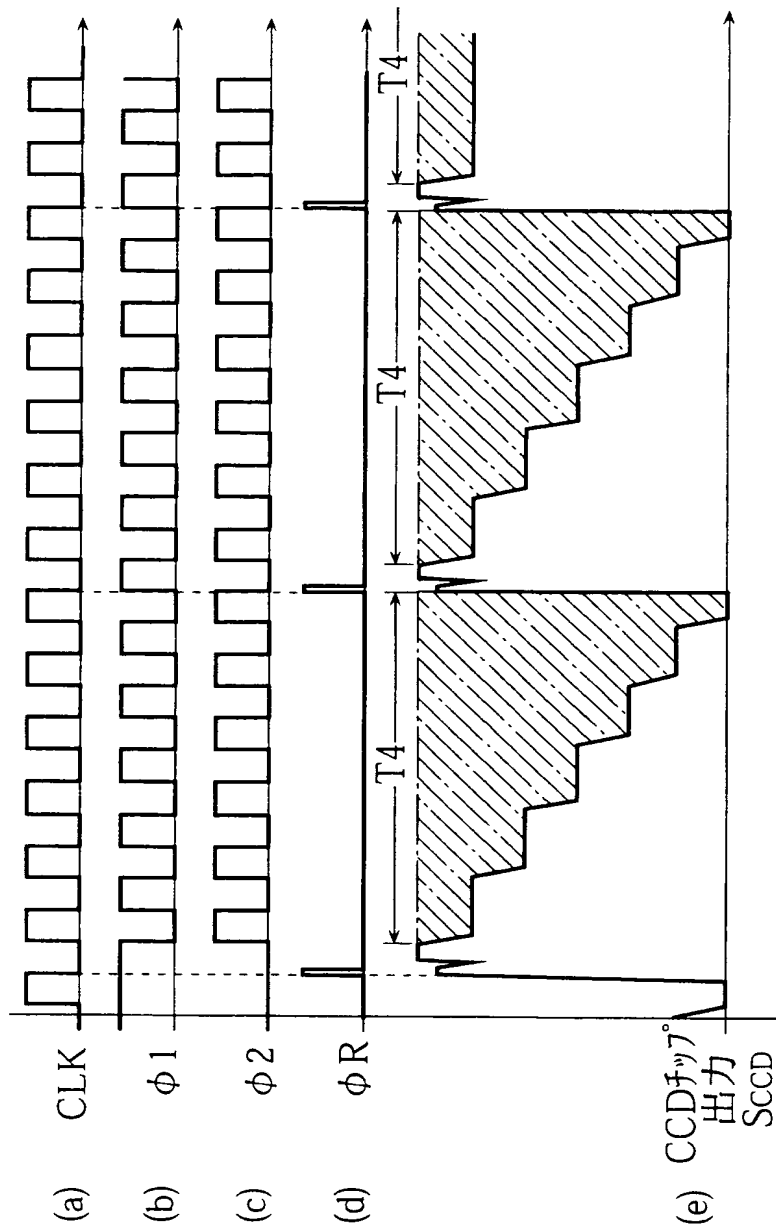
【図 5】



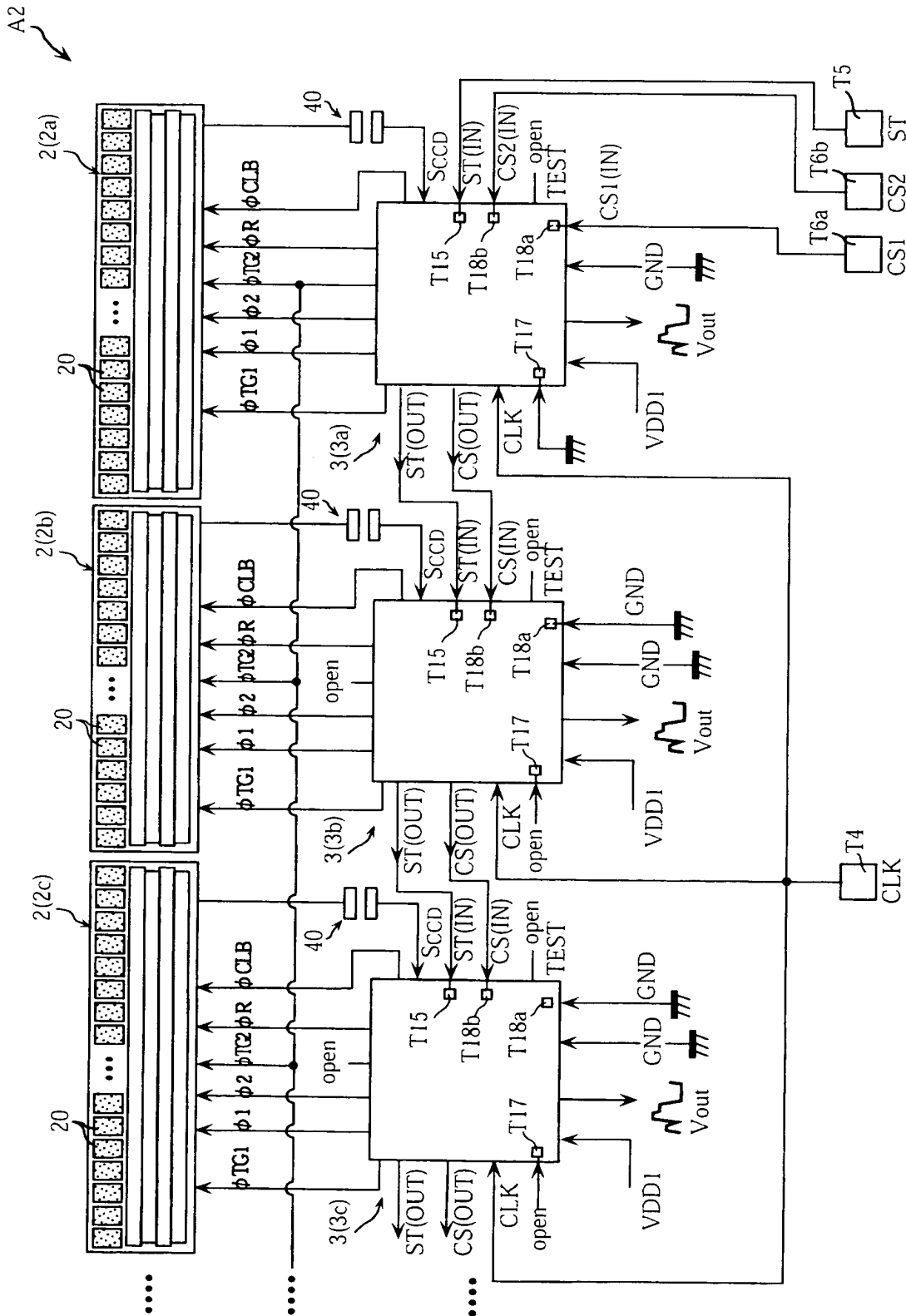
【図 6】



【図 7】



【図 9】



【書類名】 要約書

【要約】

【課題】 イメージセンサチップに入力されるリセット信号のタイミングにずれが発生する虞れを少なくしつつ、解像度の変更を適切に行なうことが可能な画像読み取り装置を提供する。

【解決手段】 光電変換素子 20 が受光することにより蓄積された電荷の出力と電荷蓄積のリセットとを繰り返し実行可能な複数のイメージセンサチップ 2 と、これらの駆動制御を行なう複数の制御チップ 3 と、を具備している画像読み取り装置 A1 であって、各制御チップ 3 は、解像度データ入力端子 T18a, T18b と、この解像度データ入力端子 T18a, T18b に入力した解像度データ CS に対応した周期で上記リセットを行なわせるためのリセット信号 ΦR を作成可能なリセット信号作成手段 32 とを有している。

【選択図】 図 3



特願 2 0 0 3 - 1 0 5 9 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社